

FUSING DEVICE**Publication number:** JP1158767**Publication date:** 1989-06-21**Inventor:** JIYASEKU KOBUARUSUKII; FURANSUWA TERIE**Applicant:** SGS THOMSON MICROELECTRONICS**Classification:**

- International: H01L27/08; G11C17/18; H01H37/76; H01H85/00;
H01H85/02; H01H85/46; H01L21/82; H01L23/525;
H01L27/10; H01L29/74; H01L27/08; G11C17/14;
H01H37/00; H01H85/00; H01L21/70; H01L23/52;
H01L27/10; H01L29/66; (IPC1-7): H01H85/00;
H01L21/82; H01L27/08; H01L27/10; H01L29/74

- European: G11C17/18; H01L23/525F

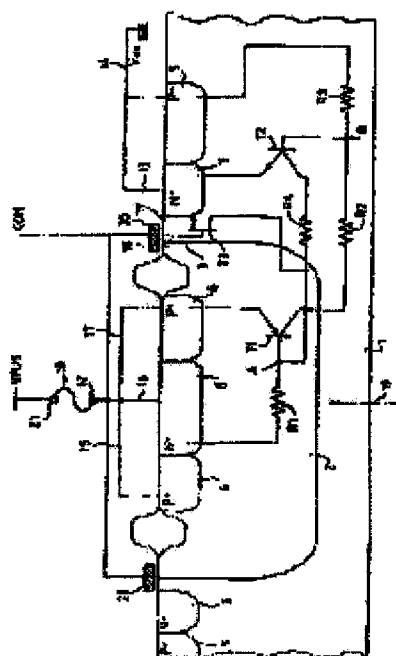
Application number: JP19880281150 19881107**Priority number(s):** FR19870015404 19871106**Also published as:**

EP0320321 (A1)
US5003371 (A1)
FR2623016 (A1)
EP0320321 (B1)

Report a data error here**Abstract of JP1158767**

PURPOSE: To facilitate a fuse blowing program by providing a thyristor connected in series with a fuse, a means for controlling turning-on of the thyristor and adopting a parasitic thyristor in an integrated circuit for the thyristor.

CONSTITUTION: The realized fuse blowing device is formed to be a torus device and placed along an axial line 11 set almost on a perpendicular line of a terminal 12 of a fuse closest to a thyristor. Thus, the parasitic thyristor has an N<+>-doped middle region surrounded by a P<+>-doped torus region 6. The doping regions 8, 6 are included in a torus well 2, and the well 2 itself is surrounded by the torus N<+> region 3 in a substrate 1. The region 3 is included in another doped torus region 5. The regions 8, 6, 3, 5 have the same function with each other. The regions 3, 5 are connected to a point with a substrate bias potential via connection wires 13, 14. The two regions 6, 8 of the well 2 are connected in common to the terminal 12 of the fuse 6 via connection wires 15-17.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平1-158767

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 平成1年(1989)6月21日
H 01 L 27/08	3 3 1	Z-7735-5F	
H 01 H 85/00		6522-5G	
H 01 L 21/82	4 9 1	R-7925-5F	
27/10		8624-5F	
29/74		P-7376-5F	審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 フューズ溶断装置

⑯ 特 願 昭63-281150

⑰ 出 願 昭63(1988)11月7日

優先権主張 ⑱ 1987年11月6日 ⑲ フランス(FR) ⑳ 87 15404

⑳ 発 明 者 ジャセク コヴァルス フランス国 13530 トウレ ロテイスマン レ ジヤル
キー ダン デ セニエール 50㉑ 発 明 者 フランスワ テリエ フランス国 93800 エピネー シュール セヌ アヴ
ニユ ガブリエル ベリ 49㉒ 出 願 人 エスジェーエーストム フランス国 94250 ジヤンティイ アヴニユ ガリエニ
ソン ミクロエレクト 7

ロニクス エス.ア

ー.

㉓ 代 理 人 弁理士 越 場 隆

明 細 書

1. 発明の名称 フューズ溶断装置

2. 特許請求の範囲

(1) フューズに直列に接続されたサイリスタと、このサイリスタをオンにする制御手段とを備える、CMOS集積回路のためのフューズ溶断装置であって、上記サイリスタが、集積回路の基板である第1の伝導型の半導体基板と、この基板内に形成された第2の伝導型の半導体ウェルと、このウェル内で第1の伝導型に対応する不純物をドーブされた第1の領域と、上記ウェルの外部かつ近傍で第2の伝導型に対応する不純物をドーブされた第2の領域とを備え、上記制御手段は、ウェル領域と、基板領域と、このウェル領域の外部の第2のドーピング領域とが一直線に並ぶことによって形成されたMOS型トランジスタを備えることを特徴とする装置。

(2) 上記サイリスタが、上記集積回路の寄生サイリスタタイプのサイリスタであることを特徴とする請求項1に記載の装置。

(3) 上記サイリスタの制御用トランジスタが、上記ウェル領域と、このウェル領域の外部の第2のドーピング領域との間に位置する領域の上に重ねられた制御ゲートを備えることを特徴とする請求項1または2に記載の装置。

(4) フューズに直列に接続されたサイリスタと、このサイリスタをオンにする制御手段とを備える、CMOS集積回路のためのフューズ溶断装置であって、上記サイリスタが、集積回路の基板である第1の伝導型の半導体基板と、この基板内に形成された第2の伝導型の半導体ウェルと、このウェル内で第1の伝導型に対応する不純物をドーブされた第1の領域と、上記ウェルの外部かつ近傍で第2の伝導型に対応する不純物をドーブされた第2の領域とを備え、上記制御手段は、上記ウェル

の外部にあってやはり第2の伝導型に対応する不純物をドーピングされている第3の領域と、基板領域と、上記ウェル領域の外部の第2のドーピング領域とが一直線に並ぶことによって形成されているMOS型トランジスタを備え、上記ウェルの外部にある上記第2の領域は、上記第2の伝導型に対応する不純物をドーピングされた第4の領域に接続され、この第4の領域は、上記ウェル内の第1のドーピング領域と、上記ウェル内で上記第4の領域と同様にドーピングされた第5の領域との間に存在し、上記ウェル内の上記第1の領域とこの第5の領域は、ともに上記フューズの端子に接続されていることを特徴とする装置。

(5) 熔断後に上記フューズの1つの端子に電位を強制する回路を備え、この回路にはプルダウントランジスタが設けられており、このプルダウントランジスタは、一方の伝導型の半導体材料内で逆の伝導型に対応する不純物をドーピングされた2つの領域を備え、これら領域の一方は、該領域と同様

にドーピングされているが不純物濃度はより小さく、該領域よりも広い区域内に形成されていることを特徴とする請求項1または2または4に記載の装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、MOS型集積回路内のフューズの熔断装置に関するものである。本発明は、様々な種類の集積回路に応用することができるが、特に、読み出し専用メモリを規定するため、あるいは、集積回路内で故障した機能回路を冗長機能回路で置換するのに応用される。メモリ付カードへの応用では、所定のメモリ領域に対するアクセスを防止するのにフューズを使用することもできる。フューズにより定められた接続を利用してメモリ付カードの集積回路にプログラムして秘密コードまたは同定アルゴリズムを記憶させてからフューズの熔断を行う。フューズが熔断されると、このプログラム、秘密コード、またはアルゴリズムを読

3

み出すことが不可能になる。

従来の技術

集積回路では、フューズは主として多結晶シリコンまたは金属によって製造されている。フューズの接続部分の断面積とフューズの熔断有効長は、熔断公称電流によって決まる。フューズ熔断の原理は簡単である。フューズに熔断に十分な大きさの電流を流すだけでよい。実際には、最近の集積回路では、この電流は数十ミリアンペアである。フューズの熔断後は、このフューズの一方の端子、すなわちアクセスできなくしたいほうの端子が電気的に接続されていない状態になる。このような状態を避けるため、フューズのこの端子は電位検出器に接続される。この電位検出器は、フューズの熔断を確認することができるとともに、接続されていない接続線の端部を一定電位に保つこともできる。

4

発明が解決しようとする課題

しかし、フューズの熔断に関しては問題点がある。まず第1に、熔断電流は十分大きくなくてはならない。これは、この電流を流すのに非常に大きな制御用トランジスタが必要とされることを意味する。この制御用トランジスタは、回路の様々なフューズの熔断のプログラムを容易にする機能を有する。この制御用トランジスタのサイズは、このトランジスタ内を流れるはずの電流と関係している。第2に、この電流パルスの立ち上がりエッジは急峻である必要がある。実際、電流の立ち上がりがゆるやかであると、あらゆる差異を考慮しても、フューズはゆっくりと溶ける。フューズは、溶けるにつれて電気抵抗が大きくなる。実際、例えばフューズの断面積はこの熔断中に小さくなる。この抵抗が大きくなるため、フューズが散逸させるエネルギーは減少する。このエネルギーが減少すると、フューズは徐々に加熱されなくなりもはや融けなくなる。この現象が起こると、以後はこのフューズを熔断することはできない。最後に、

電流を流すトランジスタを制御するためには、フューズの熔断プロセス中に、このプロセスを複雑にする熔断終了命令を与えることを予定しておく必要がある。実際には、熔断時間を考慮しておかなくてはならない。あらゆる場合に確実に熔断するためには、この熔断時間は比較的長い必要がある。

さらに、フューズは静電放電に対して極めて弱い。この弱さは、主として、フューズを熔断させるために制御用トランジスタが存在していることに起因する。実際、制御用トランジスタは大きいために、たとえ制御入力が入ンアクティブにされていても高電圧の静電放電に対してよいシールドにはならない。実際には、この大きな制御用トランジスタは、集積回路を取り扱うとき、特に製造プロセスの最後でこの集積回路を電子システムに組み込むときに静電放電のエネルギーを通過させることが可能である。静電放電の繰り返しは、熔断電流の立ち上がりエッジが遅すぎることと同じ効果をもつことがある。フューズを熔断させたいと

きには、このフューズの溶融が始まってしまっているためにその抵抗が大きくなっている可能性がある。フューズが散逸させるエネルギーはすると非常に小さくなり、フューズはもはや融けない。

本発明は上記の欠点を解決することを目的とするが、CMOSタイプの集積回路にしか適用されない。この制約は重大なものではない。というのは、現在のところCMOS技術がますます利用されるようになっており、特に、このCMOS技術はNMOS技術よりも好ましいことが多いからである。CMOS技術は、所定の伝導型（通常はP型）の半導体基板に、反対の伝導型（通常はN型）に対応する不純物を打ち込むことによって絶縁ウエルを形成した基板が特徴である。様々なトランジスタや接合は、基板またはウエル内に所定の伝導型の不純物をドーピングした打ち込み領域からなる。

しかし、CMOS技術には、「ラッチアップ」現象と呼ばれる「反転」伝導の問題があることが知られている。このラッチアップ現象は、ウエル

7

を有するCMOS回路内に自然に形成された寄生サイリスタのトリガに対応している。寄生サイリスタは、伝導型が交互するタイプの一連の領域からなる。所定の伝導型（一般にはP型）の第1の領域は、所定の第2の伝導型（一般にはN型）のウエル内に含まれている。このウエルはさらに所定の第1の伝導型（一般にはP型）の基板内に形成されており、第2の伝導型（一般にはN型）の1つまたは複数の領域を備えている。伝導型が交互したこれら4つの領域がサイリスタを構成するが、このサイリスタをオフ状態に保つことは困難な場合がある。

問題を解決するための手段

しかし、本発明では、この寄生サイリスタの存在を利用し、フューズの一方の端子をこのサイリスタに接続してトリガすることによりこのフューズを熔断する。フューズ熔断時には、電流が熔断電位発生器から供給される。電流は、フューズ内と、一方の端子が熔断電位発生器の他方の端子に

8

接続されたサイリスタ内を通過する。このようにして、ただちに上記の問題に対する解決法が得られる。サイリスタは、サイズは制御用トランジスタよりも小さいが、非常に大きな電流を通過させる。他方、このサイリスタは、フューズが完全に熔断されていない限りは、すなわちこのフューズ内を電流が流れている限りは導通している。フューズが熔断されると直ちにサイリスタはインアクティブになる。従って、熔断プロセス中に熔断終了命令を与える必要がない。さらに、この寄生サイリスタは、トリガされないときには、フューズを静電放電から保護するために上記の従来技術におけるよりもはるかに大きなシールドを備えていることがわかる。

そこで、本発明によれば、CMOSタイプの集積回路内のフューズの熔断装置であって、このフューズと直列に接続されたサイリスタと、このサイリスタをオンにする制御を行う手段とを備え、上記サイリスタは、上記集積回路の寄生サイリスタであることを特徴とする装置が提供される。

本発明は、以下の説明と添付の図面によってさらによく理解できよう。なお、図面は単に例として示しただけであって、本発明が図面に限定されることは決してない。

実施例

第1図は、CMOSタイプの集積回路の寄生サイリスタを示す図である。この集積回路（図示せず）は基板1内に集積化されている。この基板はここではP⁻型であり、これとは逆の伝導型であるN⁻型の複数のウェル、特にウェル2を備えている。一般には、基板1は、ウェル2をドーブするのに用いたのと不純物同じであるがより高い濃度にドーブされたN⁺ドーピング領域3、4を備えている。これらドーピング領域は、様々な電子機能、特にトランジスタを実現するのに役立つ。基板はさらに、基板と同じ不純物であるがこの基板よりも高濃度にドーブされたP⁺ドーピング領域からなる基板コンタクト5を備えている。この基板コンタクトは、固定された電位のバイアスを基板

に印加するのに用いられる。基板がP型の場合にはこの固定電位V_{ss}は一般には0ボルトであり、この電位は場合によっては0ボルト未満にすることもできる。基板内のN⁺型ドーピング領域の1つ、例えばウェル2の近くのドーピング領域3には、やはり電位V_{ss}のバイアスが印加されている。

同様にして、ウェル2は、このウェル2をドーブするのに用いた不純物とは異なる不純物をドーブされたP⁺ドーピング領域6、7を備えている。このウェル2はさらに、このウェルと同じ不純物をドーブされたN⁺ドーピング領域8を備えている。このドーピング領域8はウェルコンタクトとして機能する。一般に、ウェルコンタクトは基板のバイアス電位とは逆の電位にバイアスされている。P型基板とN型ウェルを用いる場合には、ウェルは正電位V_{cc}にバイアスされる。ウェル内のP⁺型ドーピング領域の1つ、例えばここではドーピング領域3の近くのドーピング領域6は、やはり電位V_{cc}にバイアスされている。基板1内のウェルの境界9の両側の高濃度ドーピング領域3と6

11

が、ウェル2ならびに基板1と組み合わされて、P⁺N⁻P⁻N⁺タイプのサイリスタを構成していることがわかる。このサイリスタのこれら中間領域には、それぞれウェルコンタクト5または基板コンタクト8を介してアクセスすることができる。

このサイリスタの等価回路図が第2図に示されている。ウェル内では、ドーピング領域6、ウェル2、それに基板1が、バイポーラトランジスタT1を形成している。基板内では、ドーピング領域3、基板1、それにウェル2が、バイポーラトランジスタT2を形成している。トランジスタT1がPNP型トランジスタの場合には、すべては、エミッタがV_{cc}（第1図のドーピング領域8）に接続され、コレクタが直列な抵抗R2とR3を介して基板コンタクト5に接続され、ベースが抵抗R1を介してウェルコンタクト8に接続されているかのごとき状態になる。NPN型のトランジスタT2は、エミッタがドーピング領域3に接続され、コレクタが直列な抵抗R1とR4を介してウェルコンタクト8に接続され、ベースが抵抗R3を介し

12

て基板コンタクト5に接続されていると考えることができる。従って、これらトランジスタのベースであるノードAとBは、それぞれ、抵抗R1-R4の中間点または抵抗R2-R3の中間点に接続される。

インアクティブ状態ではサイリスタは導通していない。ノードAの電圧は電圧V_{cc}に等しく、ノードBの電圧は電圧V_{ss}に等しい。上記の2つのトランジスタT1とT2はオフである。サイリスタをトリガするためには、ノードAの電圧を、トランジスタT1が導通し始めるまで下げるだけで十分である。例えば、この電圧を0.6ボルト下げるだけで十分である。この電圧低下は、トランジスタT1のエミッターベース間電圧に等しい。トランジスタT1が導通し始めると抵抗R3内を電流が流れるために、ノードBの電圧は上昇する。従って、オフであったトランジスタT2が導通する。トランジスタT2がオンになるため、電流は今や抵抗R1とR4の中を流れる。このことによってノードAの電圧が低下し続け、その結果とし

て正の反応が起こる。そこで、ラッチアップ現象が発生する。2つのトランジスタは電源 V_{cc} とグラウンド電位 V_{ss} の間に非常に大きな電流(数百モリアンペア)を流すために飽和する。電源 V_{cc} が遮断されるとか破壊される場合にのみこの現象が停止する。

本発明のアイデアは、制御手段を用いて、サイリスタがオフのときに、ノードAの電位を低下させる、あるいは逆にノードBの電位を上昇させることである。以下の説明は、この第1の場合、すなわちノードAの電位を低下させる場合に対応している。しかし、このことから何らかの制約が生じることはない。

第3図は、サイリスタのトリガ回路の第1の実施例を示す図である。この図面には、フューズ10と、このフューズに特定の熔断電圧 V_{FUS} を供給する電源とが図示されている。しかし、本発明では、サイリスタが最も効力をもっているため、フューズを電圧 V_{cc} よりも小さな電圧で熔断させることができる。実現されたフューズ熔断装置は

環状であり、サイリスタに最も近いフューズの端子12のはば鉛直線上に位置する軸線11を中心として設置されている。従って、トリガ用のこの寄生サイリスタは、 P^+ にドーピングされた環状領域6に取り囲まれた N^+ にドーピングされた中央領域を備えている。これらドーピング領域8と6は、やはり環状であるウェル2内に含まれており、このウェル2自体は基板1内の環状 N^+ 領域3によって取り囲まれている。領域3は、 P^+ にドーピングされた別の環状領域5内に含まれている。領域8、6、3、5は、ここでは上記の領域と同じ機能を有する。領域3と5は接続線13、14を介して基板のバイアス電位に接続されている。ウェル2の2つの領域6と8は、接続線15~17を介してフューズ6の端子12に共通に接続されている。

サイリスタのトリガ用MOSトランジスタT3は、ウェル2の境界9に近い領域18と、境界9を挟んでこの領域18と対向する基板領域19と、 N^+ にドーピングされた環状領域3とで構成されている。従って、このハイブリッドトランジスタは、不純

15

物がそれぞれ N^- 、 P^- 、 N^+ 型である複数の領域で構成されている。電気絶縁層ゲート酸化物層(図示せず)の上に重ねられたゲート20には、制御信号COMを供給される。このゲート20は境界9の両側に跨がっている。このゲート20は、領域19内のトランジスタT3の伝導を実質的に制御する。このゲート20は領域18に対しては影響を及ぼすことなく、従ってこの領域18にはみ出している問題はない。正のパルスをゲート20に印加するときには、このようにして構成されたトランジスタT3内を電流が流れる。この電流はウェル2に到達することはできない。ウェルを形成する半導体材料の内部抵抗(抵抗R1)のために、ウェル2内の電位が低下する。従って、ノードAの電位が低下する。しかし、サイリスタのトリガ現象が起こるためには、トランジスタT3がノードAで少なくとも0.6ボルトの電圧低下を保証できるようにしている必要がある。このためには、抵抗R1は比較的大きく、抵抗R4は比較的小さくなくてはならない。さらに、トランジスタT3は

16

抵抗が大きすぎではない。第2図には、サイリスタの等価回路図のトランジスタT3の接続モードが点線で示されている。

第3図の実施例には別の重要な利点がある。この実施例を利用すると、特に、静電タイプの放電からの保護を極めて効果的に行うことができる。例えば、20ボルトを超える静電放電に対する保護装置がフューズのピン21に並列に接続されていると仮定する。上記の従来例では、フューズ熔断用トランジスタが、(アバランシュ接合、BVdSなどによる)フューズ保護装置と一般に同じ電圧で、あるいは場合によってはより低い電圧でトリガを開始させる。この結果、フューズは劣化し、または思いがけず破壊される。図示の装置では、ウェルと基板の間の N^-P^- タイプの接合の導通は、この接合の近傍での不純物濃度が小さいために、典型的には100~150ボルトで起こる。この条件のもとでは、フューズ保護装置が常に最初にアクティブになる。このフューズ保護装置は、フューズが劣化しないようにする機能を正常に実行

する。

第4図に示されている別の実施例では、サイリスタのトリガ用トランジスタは従来と同じMOSトランジスタである。このトランジスタは、境界9に近い領域22と、この領域22と同じ不純物濃度(N⁺)であり、この領域22の近傍に位置する領域3とを備えている。領域22は、このトランジスタの導電チャネルに対応する距離だけ領域3から離れている。この導電チャネルは、制御信号COMを受けるゲート23により制御される。ウエル2は、N⁺にドーピングされた別の領域24をさらに備えている。この領域24は、接続線25によって制御用トランジスタの領域22に電気的に接続されており、補助ウエルコネクタとして機能する。この実施例では、領域22はもはや電位V_{cc}に直接には接続されていない。領域22が電位V_{cc}に接続されるのは条件がある。すなわち、信号COMがゲート23に印加され、この信号がトランジスタ3-22を導通させたときである。従って、制御用トランジスタはここでは従来と同じMOSトランジスタである。

フューズを溶断させる前には、接続線25上で利用できる電位はほぼ電位V_{FUS}に等しい。溶断命令がゲート23に印加されると、トランジスタ22-23-3はオンになり、抵抗R5、R1によって形成された電圧分圧ブリッジの中間点Cの電位が低下する。この瞬間には電流は抵抗R1内を流れない。しかし、領域24が領域8と領域6の間に位置していることから、ノードCの電位低下によってトランジスタT1のノードAの電位がほぼ同じだけ低下する。この条件のもとで、予期した現象、すなわちサイリスタのトリガが発生する。

この実施例の利点は、第3図のハイブリッドトランジスタ18-19-3とは違って従来のタイプのトランジスタ22-23-3を実現できることである。しかし、この方法では、静電放電に対する保護の程度は落ちる。実際、静電放電は、接続線16、領域8、ウエル2、領域24、接続線25、それに領域22の経路を通過し、接合22-1でのアバランシュ現象と制御用トランジスタのBV_{dss}とによってグラウンドに到達する。この場合、この放電に

19

対する電圧を維持するのは接合22-1とトランジスタチャネル長とである。領域22は高濃度にドーピングされているため、この接合の電位バリアはより低い。従って、この観点からは、上記の従来技術の問題点と同じ問題点に出会う。しかし、本発明を改良するとこの問題点を解決することができる。

フューズの状態を検出する回路は多数考えられる。第5図はその一例である。この回路は、プルダウントランジスタT4と、2つのトランジスタ26、27を有する検出用インバータとを主構成要素として備えている。トランジスタ26、27は、集積回路の電源V_{cc}とグラウンドの間に直列に接続されている。検出用インバータは、フューズの状態変化を検出すると反転する。この電位検出用インバータの出力28は、2つのトランジスタ26、27の中間点に接続されている。これらトランジスタは、ともに、抵抗R6を介して、トランジスタT4の端子に現れる電位によって制御される。トランジスタT4は、トランジスタT3の端子に並列に接続されており、ゲートに電位V_{cc}を受ける。フューズが溶断されたとき、または制御信号COMが終了したときには、トランジスタT4がトランジスタ26、27の入力をグラウンド電位にする。するとトランジスタ27はオフとなり、トランジスタ26はオンとなる。出力28は電位V_{cc}にされる。抵抗R6が存在しているため、トランジスタ26または27を通過する可能性のある静電放電からフューズ10を保護することができる。このような放電の際には、トランジスタ27の電位バリアがこの静電放電の残りに対して抵抗できるだけ十分に大きくなるよう、大きな電位差が抵抗R6に発生する。これに対して、このことは、ほとんど常に導通状態にあるトランジスタT4を用いても、第4図の実施例のトランジスタT3を用いても実現することはできない。

しかし、この目的を達成するためには、上記の2つのトランジスタを第6図に示したようにして実現することができる。トランジスタT3とT4は、N⁺にドーピングされた2つの領域30と31の間の導電チャネルを制御するゲート29を備えているこ

20

とが好ましい。一方の領域、例えば基板1内のサイリスタに最も近い領域31は、 N^- にドーピングされたウェル32内に埋め込まれている。ウェル32内の不純物濃度が小さいため、このウェルと基板の間の $N-P$ 接合が静電放電に抵抗する。例えば150ボルトの電位差が維持される（しかし、実際には、この差は、約50ボルトで起こる領域32とゲート29の間のゲート酸化膜の絶縁破壊によって制限される）。しかし、チャネルの長さは、トランジスタT4が予想外に早く絶縁破壊モードになるのを避けるために十分長くしておかなくてはならない。

4. 図面の簡単な説明

第1図は、寄生サイリスタを備えるCMOSタイプの集積回路の断面図である。

第2図は、この寄生サイリスタを有する回路の等価回路図である。

第3図は、寄生サイリスタのトリガ回路の第1の実施例を示す図である。

第4図は、寄生サイリスタのトリガ回路の第2

の実施例を示す図である。

第5図は、フューズの溶融状態を確認するための電位検出器の概略図である。

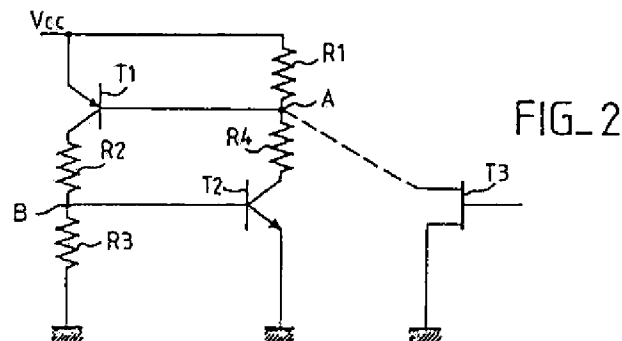
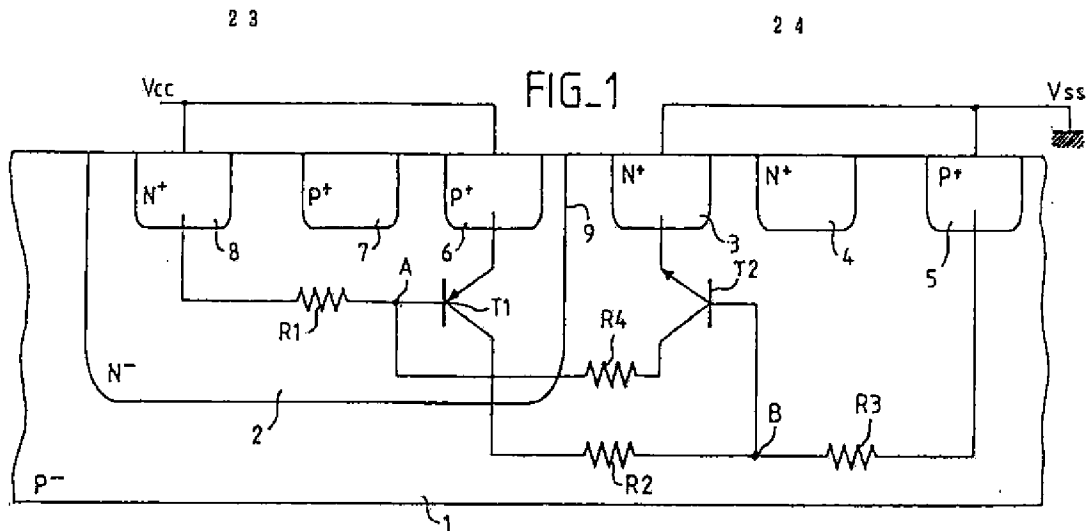
第6図は、この電位検出器のブルダウントランジスタを技術的に改良した状態を示す図である。

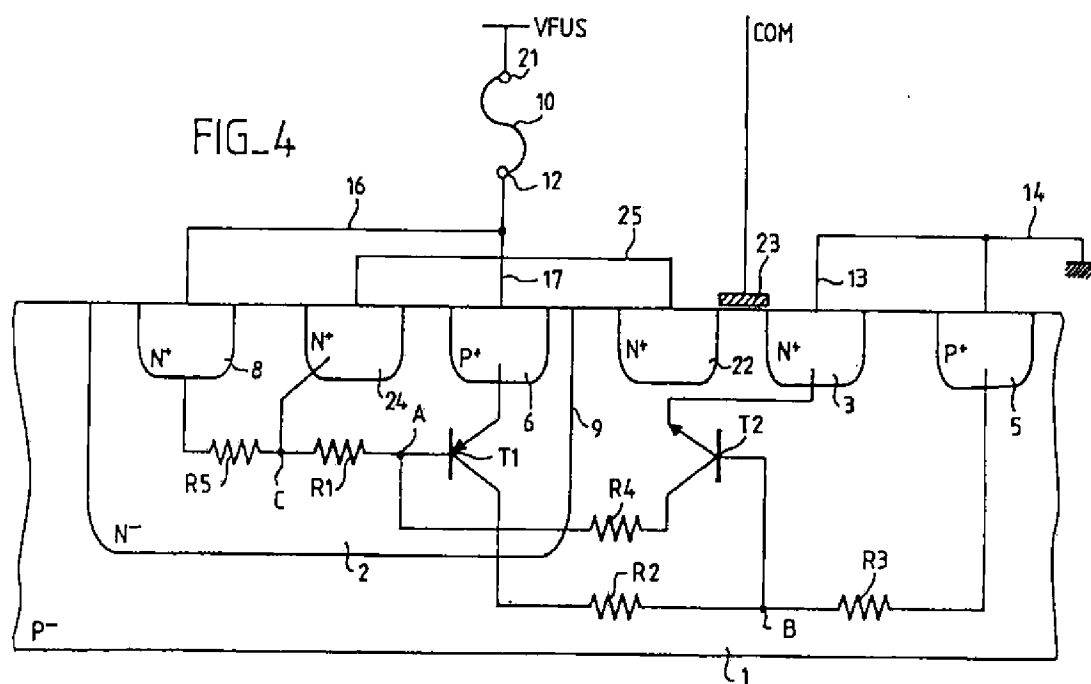
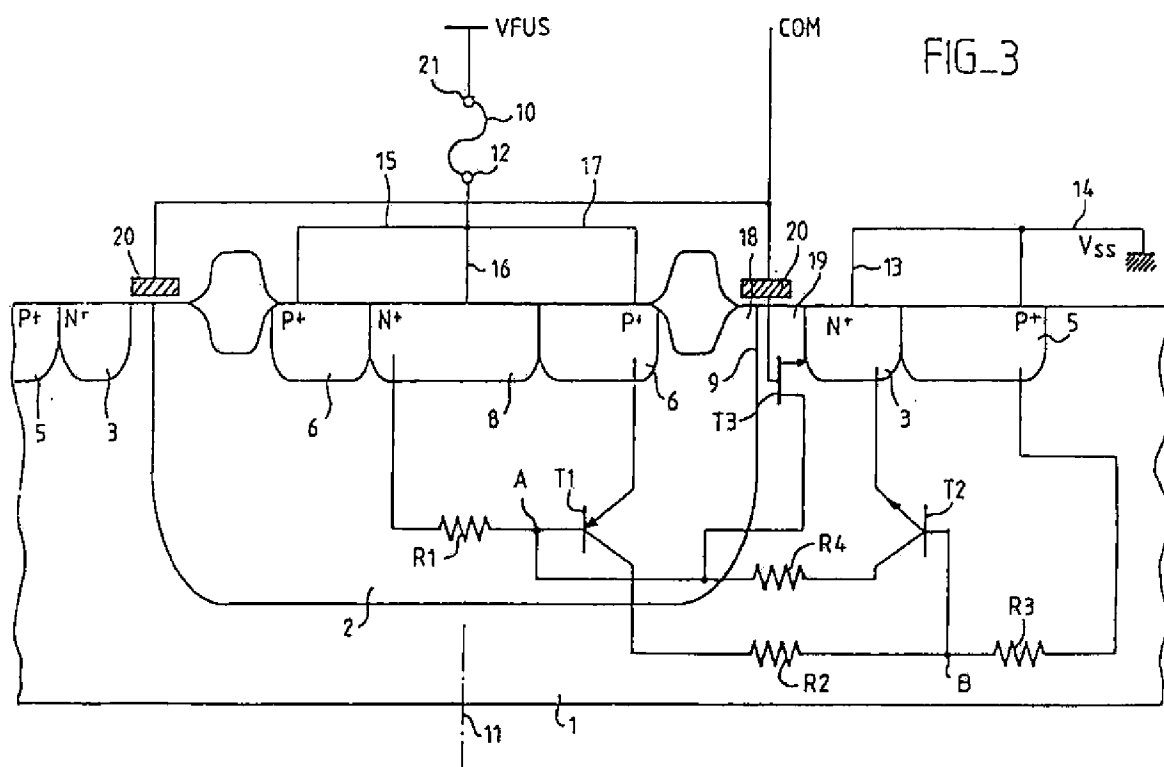
(主な参照番号)

- 1・・・基板、
- 2、32・・・ウェル、
- 3、4、8、30、31・・・ N^+ 型ドーピング領域、
- 5、6、7・・・ P^+ 型ドーピング領域、
- 9・・・境界、
- 10・・・フューズ、
- 14、15、16、17、25・・・接続線、
- 20、23、29・・・ゲート、
- 26、27、T1、T2、T3、T4・・・トランジスタ、
- R1、R2、R3、R4、R5、R6・・・抵抗

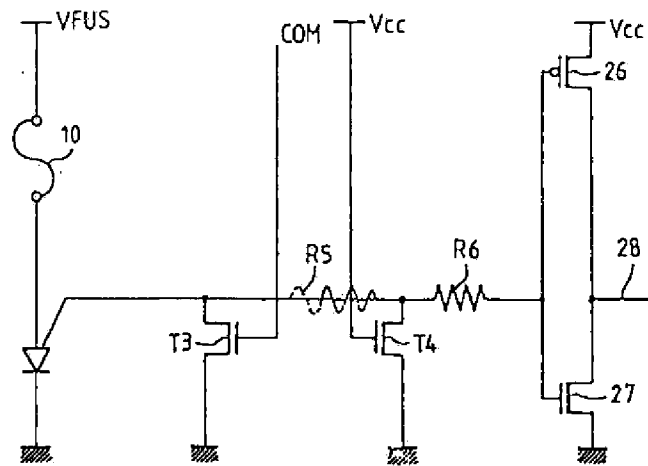
特許出願人 エスジェーエーストムソン
マイクロエレクトロニクス エス. アー.

代理人 弁理士 越 場 隆





FIG_5



FIG_6

